

强化晶圆退火重复性的方法研究

李贇佳^{1,2}, 黄其煜¹

(1. 上海交通大学电子信息与电气工程学院, 上海, 200240;

2. 上海华力微电子有限公司, 上海, 201203)

摘要: 超浅结制造技术是支撑超大规模集成电路进一步发展的关键技术, 本文以其中的关键工艺——Spike Anneal (尖峰退火) 为切入点, 对激活 Source/Drain (源/漏极)、LDD (lightly doped drain, 轻掺杂漏极) 的工艺特性作简单分析, 并讨论了退火重复性问题。进一步分析如何设立与优化尖峰退火条件, 将外界环境影响最小化, 使工艺温度与时间得到更精确控制。并结合业内经验, 通过反复试验与数据储备, 探讨了影响退火重复性的因素, 进而基于线上产品特性, 研究了晶圆背面不同材质对退火工艺的影响, 建立补偿模型, 将实验结论运用实际生产中以作改善。数据表明降低晶圆背面氮化硅的厚度, 可以减少晶圆热量流失, 改善由于晶圆边缘温度过低造成的良率损失。综合以上多种手段, 达到了加强晶圆退火重复性与稳定性。

关键词: 尖峰退火; 浅结工艺; 退火控温; 晶圆材质

中图分类号: TN305.99

Study on the Improvement of Wafer Annealing Reproducibility

LI Yunjia^{1,2}, HUANG Qiyu¹

(1. School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240;

2. Shanghai Huali Microelectronics Corporation, Shanghai 201203)

Abstract: Ultra shallow junction manufacturing technology is the key to propulsion the further development of Ultra Large Scale Integration (ULSI) technology, With the entry point of the key technology of shallow junction technique "Spike Anneal", We focus on the analysis of the processing property of spike anneal activating Source/Drain, LDD simply and discussed the wafer annealing reproducibility, Further analysis the establishment and improvement of spike anneal recipe in order to minimize the impact of external environment and control the process time and temperature more accurately. We investigated affecting factors of spike anneal reproducibility according to trial and error and data collection. And then based on the characteristic of products, we studied the impact of different kinds of wafer material for anneal process. We made use of compensation model for products yield improvement so as to reduce the heat loss, and use multiple methods to improve the wafer annealing reproducibility and stability.

Key words: Spike Anneal, Shallow junction technology, Temperature control, Wafer material

作者简介: 李贇佳, 男, 1988 年, 工程师, 主要研究离子注入与热退火工艺方向

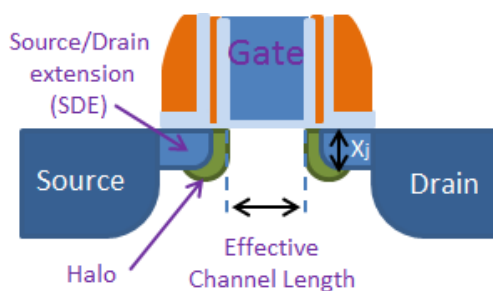
通信联系人: 黄其煜, 博士, 1997 年本科毕业于北京大学物理学系, 童年赴美留学。分别与 2000 年和 2003 年在美国弗吉尼亚大学电机工程与计算机工程系获得硕士和博士学位。博士期间的主要研究方向为纳米材料和微加工技术, 并长期担任半导体制造工艺实验课程的教学。曾参与有美国顶尖大学参与的 Molecular Level Printing 项目研究。在国际一流学术期刊结合会议上发表多篇论文。黄其煜博士自 2004 年 9 月起就职于上海交通大学微电子学院。E-mail: qiyu@sjtu.edu.cn

40 0 引言

Rapid Thermal Process (快速热处理, RTP) 是半导体制造中一项重要工艺, 为了控制掺杂元素的扩散, 业界普遍采用 Spike Anneal, 其主要目的是在源漏极离子注入后进行退火, 激活掺杂原子形成浅结, 在表面形成高掺杂区域, 降低 Source/Drain 与 Salicide (自对准多晶硅化物) 之间的接触电阻, 抑制热载流子与短沟道效应, 需要极短的退火时间和超高的退火温度[1]。由于尖峰退火时间短, 达到毫秒级, 当退火控制不够精确、不够稳定或者退火过程受到一些干扰时, 会造成晶圆中掺杂元素的结深分布不均匀, 这直接影响到晶体管的阈值电压、有效迁移率等器件的其它电性参数[2]。

随着半导体工业的发展, 集成电路向体积小、速度快、低功耗方向发展。当半导体器件的特征尺寸不断按比例缩小, 要求源漏区结深也要减小。为了提高掺杂原子激活度, 降低结电阻 (R_S), 减小结深 (X_j) 形成超浅结, 掺杂元素需要更高激活温度, 且在退火后的横向和纵向扩散程度也必须相应减小[3]。因此, 强化晶圆退火重复性对 MOS (Metal Oxide Semiconductor, 金属氧化物半导体) 大规模集成电路和超大规模集成电路的成品率和可靠性起着关键性作用。

如图 1 所示为一般的 MOS 结构示意图。当器件尺寸越来越小, SCE (Short channel effect, 短沟道效应) 明显[4], 短沟道效应会增加源漏极之间的漏电流, 降低漏极饱和电流, 延缓响应时间。当 S/D (Source/Drain, 源/漏极) 在沟道中的延伸区域愈大, 此区域的电阻 R_S 愈大, 影响了载流子的迁移行为[5]。因此需要通过优化 Spike Anneal 改善 SDE (Source drain extension, 源/漏扩展区) [6]。



60 图 1 MOS 结构示意图

Figure 1 Schematic diagram of the structure of MOS

Spike Anneal 主要功能是在激活载流子的过程中抑制原子扩散, 减少漏电流。其主要以 peak temperature 加减 $50\text{ }^{\circ}\text{C}$ 的微小时间段描述主工艺过程, 简称“Sharpness”即 (T-50) 如图 2 所示。当 T-50 时间的增加, 浅掺杂源漏极的原子扩散深度会随之变大。数据表明, 15%的“Sharpness”波动会分别引起 5%的阻值变化与 10%的结深偏移。研究表明结深主要由加热时间决定, 阻值则由注入离子的激活状态决定, 而离子的激活程度完全由温度决定, 与时间无关[7]。因而, 提高 Spike Anneal 时间、温度等参数的稳定与重复性显得尤为关键。

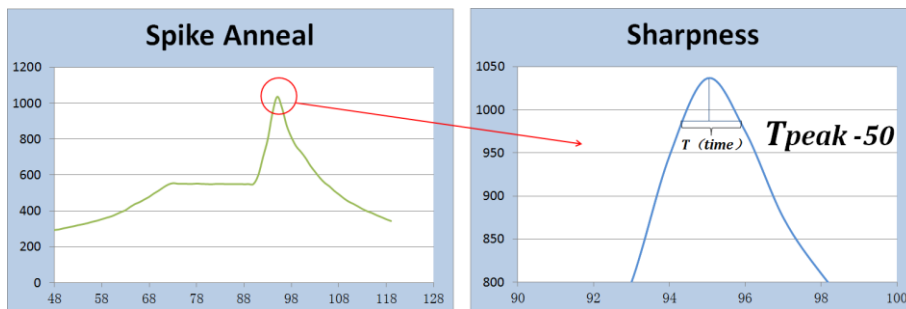


图 2 尖峰退火温度曲线

Fig. 2 Spike anneal temperature profile

70

75

80

本文 Spike Anneal 工艺采用：正面加热与背面测温的工作方式，如图 3 所示为 RTP 机台的结构示意图。其以非接触方式读取光谱强弱信号，转化成温度信号，加热作业时通过闭环反馈实现温度实时控制。先进的 55nm CMOS 尖峰退火工艺选用设备的温度运行区间为 300~1100 °C，最大升温速率可达到 240 °C /S，而降温速率也可以达到 90 °C /S，工艺气体为惰性气体 N2 和 He（用来增加降温速度），产品硅片通过传片系统的机械手直接传入反应腔内；硅片放置在 Edge Ring（晶圆支撑环）上，工艺过程中转速为 240RPM（每分钟转速），以保证加热的均匀性；加热卤灯为蜂窝状排列，由测温系统反馈加热，以保证加热温度的均匀性。本文是以尖峰退火工艺形成浅结，同时抑制掺杂原子扩散；最大升温速率：~220 °C /S；冷却速率：~90 °C /S；以 Tpeak -50° 的时间段描述主工艺过程，如图 3 所示；气体类型：晶圆正面通 N2，背面通 He 冷却。

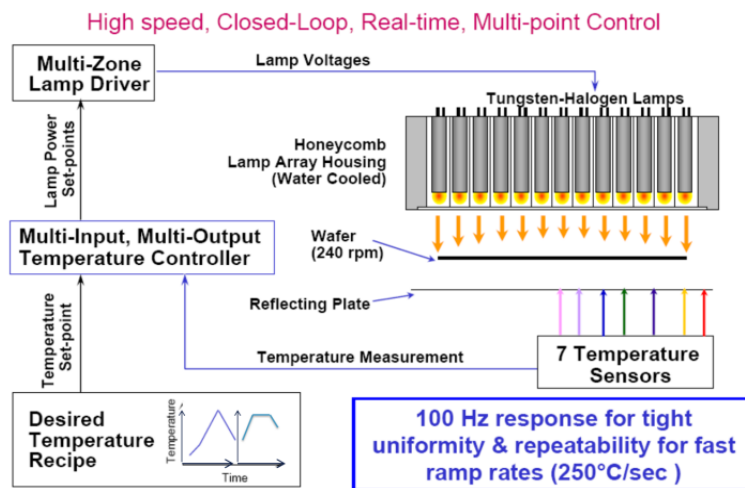


图 3 快速热退火机台结构示意图

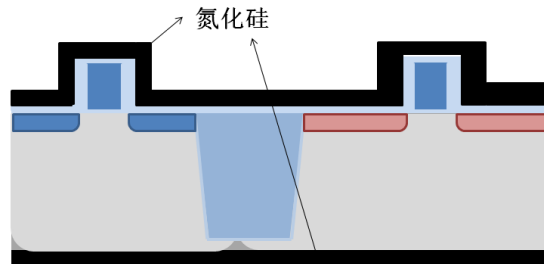
Figure 3 Schematic diagram of RTP machine structure

85

1 影响 Spike 重复性因素

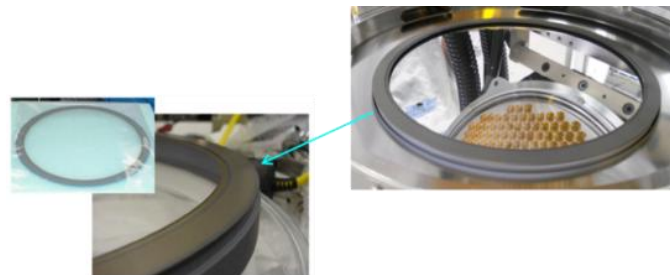
1.1 晶圆背面材质及厚度变化对 Spike Anneal 的影响

90 在集成电路制造过程中，前层工艺的偏差会造成后续晶圆制造的工艺波动，导致相同产品之间 WTW(wafer to wafer, 晶圆与晶圆之间)差异化增大，产品良率的下降。其中晶圆背面材质及厚度的变化会对退火过程产生较大影响[8]，Spike Anneal 工艺前，晶圆表面材质一般为氮化硅，如图 4。我们通过对晶背材质与厚度变化的研究，设立了一套 Spike Anneal 温度补偿方案用以降低器件的波动性。



95 图 4 晶圆表面氮化硅沉积示意图
Figure 4 Schematic diagram of SiN deposition on the surface of wafer

I. 影响一：改变晶圆边缘与 edge ring 之间的热传递效率，如图 5 所示为 edge ring。



100 图 5 晶圆托环实物图
Figure 5 Picture of edge ring

105 II. 影响二：改变晶圆背面辐射热量大小，如图 6，透射光与晶圆背面的反射光由高温侦测计收集。

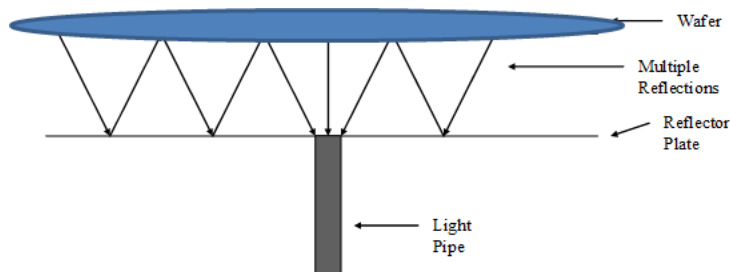


图 6 晶圆背面辐射示意图
Figure 6 Schematic diagram of wafer backside radiation

110 1.2 实验设计:

基于生产平台工艺, 在 Spike 退火工艺前, 晶背材质分别为: Poly (polycrystalline silicon, 多晶硅)、Spacer1 SiN (第一层氮化硅)、Spacer2 SiN (第二层氮化硅); 同时, CVD (chemical vapor deposition, 化学汽相淀积) 生长 TEOS (tetraethyl orthosilicate, 正硅酸乙脂) 时, 晶背边缘也会生长少量 TEOS。所以, 我们分别研究当晶背为不同厚度的 SiN (氮化硅) 或 TEOS 材质时, 对 Spike 退火工艺的影响。

115 1. 增加晶背 SiN 厚度 (0~600 Å)对 Spike 退火的影响, 如图 7 所示:

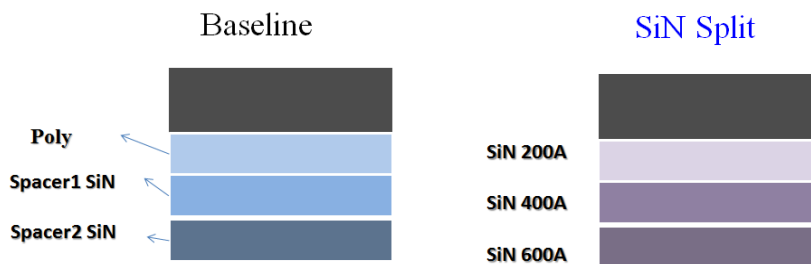
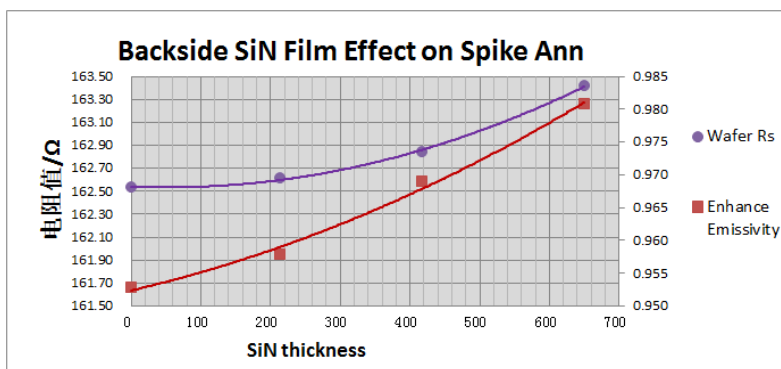


图 7 氮化硅实验设计 1 示意图
Figure 7 Schematic diagram of the SiN split test1

120

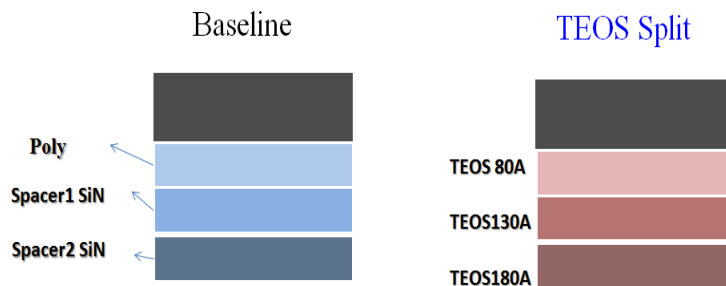
由下图 8 实验数据可见, 随着 SiN 厚度的增大, wafer RS 与晶圆的 emissivity (辐射系数) 呈上升趋势。说明晶圆辐射系数随氮化硅厚度增加而上升, 这会加速晶圆背面热量流失。此外, 晶圆边缘与 edge ring 之间热传导也会增加, 导致晶圆边缘热量流失, 因而 RS 阻值上升。



125

图 8 氮化硅厚度与阻值及辐射系数关系图
Figure 8 Diagram of backside SIN film effect on RS & emissivity

2. 增加晶背 TEOS 厚度(0~180 Å)对 Spike 退火的影响, 如图 9 所示:



130

图 9 正硅酸乙脂实验设计 2 示意图
Figure 9 Schematic diagram of the TEOS split test2

由下图 10 可见，随着 TEOS 厚度的增大，晶圆的阻值及辐射系数变化均较小。说明增加晶圆背面 TEOS 厚度，对晶圆辐射与晶圆边缘传热影响均较小。

135

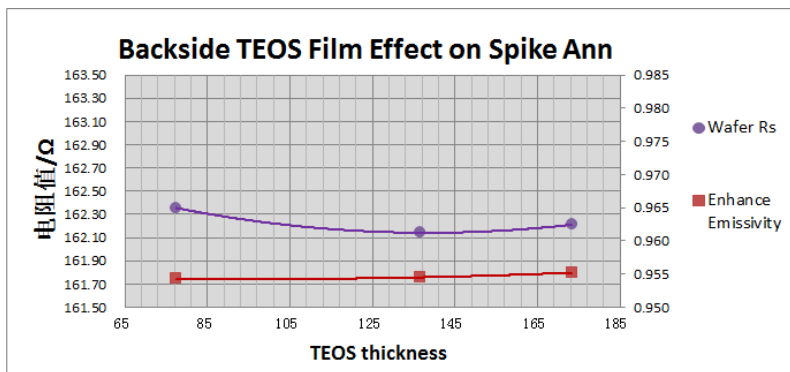
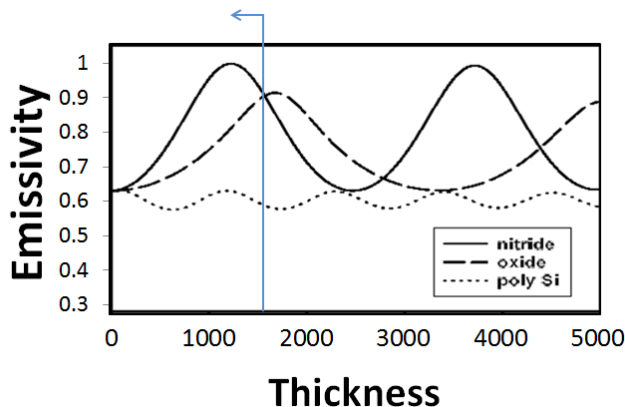


图 10 正硅酸乙脂厚度与阻值及辐射系数关系图
Figure 10 Diagram of backside TEOS film effect on RS & emissivity

1.3 实验分析:

140

首先，从资料了解到（如图 11），在膜厚 $<1500 \text{ \AA}$ 的情况下，Nitride（氮化物）较 TEOS（氧化物）的辐射系数要高[9]，在此范围内，随着厚度的增大，Nitride 晶圆比 TEOS 晶圆辐射系数上升快，加速了晶圆热量流失。



145

图 11 不同材料的辐射系数曲线图[9]
Figure 11 Graph of emissivity of different material

其次，氮化硅的热导率为 16.7 W/cm*K (如表 1)高于 SiO2 (二氧化硅)等其它半导体材料 [10]，且热通量会随着温度升高而增大，因而氮化硅生长增强了晶圆边缘的散热与热传导，如图 12 所示。

150

表 1 不同半导体材料的热导率[10]

Table 1 Thermal conductivity of semiconductor

半导体材料	导热率 W/cm-K	其他	导热率 W/cm-K
Si	1.5	石墨烯	(4840 ± 440) - (5300 ± 480)
SiO ₂	7.6	钻石	900 - 2320
SiN	16.7	碳纳米管纸	450-800
Ge	0.6	银	420
GaAs	0.46	铜	401
Gap	0.5	黄金	318
GaN	1.5	铝	237
3C-SiC	3.2	陶瓷	1.22



155

图 12 晶圆边缘导热示意图

Figure 12 Schematic diagram of thermal conducting of wafer edge

最后，重复性实验表明随着退火温度升高，Idsat(饱和驱动电流)变大，漏电流越低；而氮化硅厚度对 Idsat 的影响则相反。依此特性，可以根据氮化硅厚度的变化，调节温度补偿，从而保证不同晶圆受热一致，改善 Idsat 稳定性，降低器件漏电流[11]。

160

2 提高退火重复性改善方案

2.1 补偿模型建立

目前，对于 55nm 以上的先进制程，业界通常针对 LDD 离子注入层次进行注入剂量的自动优化控制，从而改善前层工艺如“多晶硅栅级刻蚀线宽”的偏差对产品良率的影响。进一步，我们通过对“晶背材质及厚度变化对 Spike Anneal 影响”的实验结果为理论依据，提出 Spike Anneal 改善模型。

165

通过实验分析，氮化硅生长增加了晶圆与机台接触部分的热传导，其厚度变化还会改变晶圆的热辐射大小。在一定条件下，晶圆表面与晶背的氮化硅越厚，晶圆的热辐射能力越大，后续尖峰退火时，晶圆热量流失就大，实际吸收的热量会减小，造成半导体器件的电性参数变化。

170

2.2 模型设立：

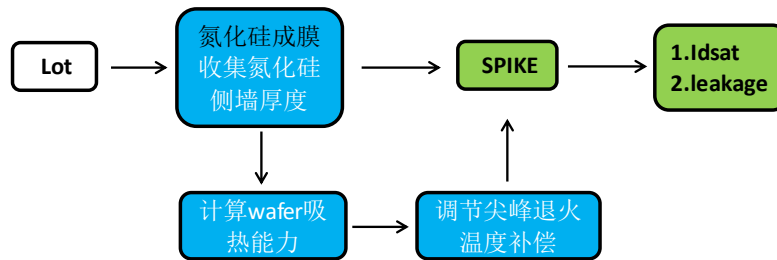


图 13 模型流程图

Figure 13 Flow diagram of model

175

具体方法，如图 13 所示：晶圆正反面的氮化硅薄膜为同步生长，厚度相同。通过收集隔离侧墙氮化硅薄膜的厚度 T，根据厚度 T 的变化对晶圆进行温度补偿 Δt。

$$\Delta t = aT^3 + bT^2 + cT + d \quad (1)$$

180

其中：

Δt 表示尖峰退火时的补偿温度：0~100 摄氏度；

T 表示氮化硅的厚度：0~1000 Å；

a、b、c、d 为系数。

首先，以公式（1）为模型，通过收集氮化硅的厚度与温度的 split 实验数据，确定模型系数 a=0, b=0, c=-0.8 °C/Å, d=240° C。

185

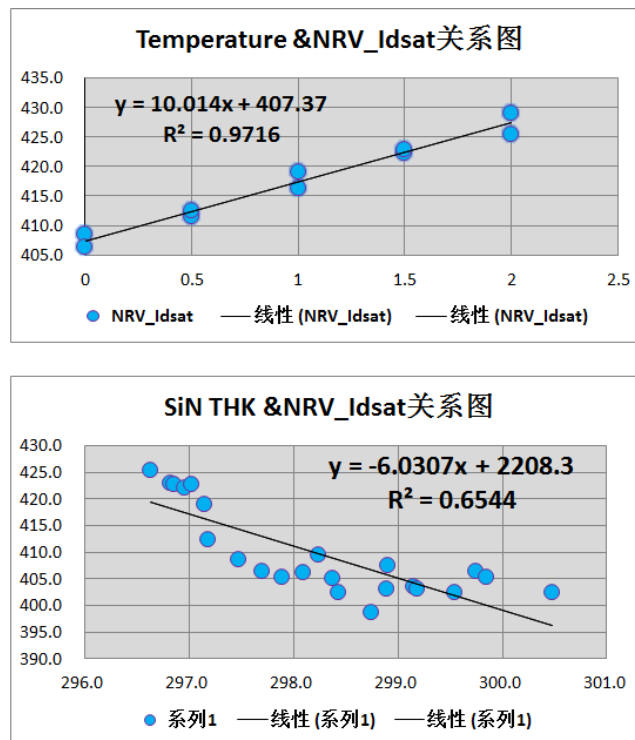


图 14 温度与 SiN 以及饱和驱动电流关系图

Figure 14 Diagram of temperature and SiN effect on Idsat

190

如图 14 所示，实验测试表明：退火激活温度与 Idsat 大小成正比，而 SiN 厚度则成反比。通过确定产品 Inline 温度敏感性，从产品 WAT(wafer accept test, 晶圆级电性测试) Idsat 数

据反馈可知产品敏感度 $\text{sensitivity} = 10$ 。得到生产应用公式:

$$\Delta t = -0.8 * T + 240 \quad (2)$$

$$I_{dsat} = 10 * (-0.8 * T + 240) \quad (3)$$

195 一般, 55nm 工艺氮化硅隔离侧墙厚度一般控制在 $300 \pm 5 \text{ \AA}$, 设当氮化硅隔离侧墙厚度从 $T=300 \text{ \AA}$ 偏移至 304 \AA 时, 经过公式 (2) 计算得出: 尖峰退火温度补偿 $\Delta t = -3.2 \text{ }^\circ\text{C}$, 可用以补偿隔离侧墙氮化硅厚度变化造成的热量流失, 从而改善 I_{dsat} $32 \mu\text{A}$, 保证了晶圆与晶圆之间的电性参数稳定。从宏观角度来看, 此模型的应用势必能弥补 Spike anneal 前的工艺波动, 有效提高晶圆退火重复性。

200 3 结论:

论文基于 55nm 工艺平台探讨了 Spike Anneal 工艺对于 S/D、LDD 等关键器件的突出作用, 寻求影响退火重复稳定性的主要因素并提出优化方案, 从 wafer 自身角度出发, 研究不同晶圆特性对 Spike Anneal 退火工艺的影响, 得到结论如下:

- 1) 优化 Spike Anneal 可以降低结合面漏电流, 将掺杂扩展与反活化机制最小化, 降低结深、热载流子效应和短沟道效应。随着制程缩小, Spike Anneal 依旧有很大的优化空间。
- 2) Spike Anneal 有着其它工艺无法比拟的模型简捷化, 调节灵巧与多样化以及控制精确度高的优点。
- 3) 针对不同特性产品, Spike Anneal 可以有针对性的 by product、by zone 提出补偿, 产品适应度强。
- 4) 深入研究了氮化硅厚度变化对晶圆退火的影响, 分析多种影响因素, 通过温度计算补偿, 减少热量流失, 改善晶边温度过低造成的良率损失。
- 5) 此研究方法的应用, 为后续各平台的良率持续优化奠定了实验与理论基础。

215 致谢

衷心感谢公司本部门其他人员的启发和指导, 使本文能够顺利完成!

215

[参考文献] (References)

- [1] Surdeanu R, Pawlak B J, Lindsay R, et al. Advanced PMOS Device Architecture for Highly-Doped Ultra-Shallow Junctions[J]. Japanese Journal of Applied Physics, 2004, 43(4B):1778-1783.
- [2] 周庆刚. 尖峰退火在深亚微米超浅结中的应用[J]. 集成电路应用, 2008(6):45-46.
- 220 [3] Nieh C F, Ku K C, Cheng N H, et al. Shallow junction formation and high dopant activation rate of MOS devices: US, US 8039375 B2[P]. 2011.
- [4] Frantsuzov A A, Boyarkina N I, Popov V P. Decrease in effective electron mobility in the channel of a metal-oxide-semiconductor transistor as the gate length is decreased[J]. Semiconductors, 2008, 42(2):215-219.
- 225 [5] Sun W, Shin H. Substrate doping concentration dependence of electron mobility using the effective deformation potential in uniaxial strained nMOSFETs[C]// TENCON 2013 - 2013 IEEE Region 10 Conference (31194). IEEE, 2013:1-4.
- [6] Sun W, Shin H. Substrate doping concentration dependence of electron mobility using the effective deformation potential in uniaxial strained nMOSFETs[C]// TENCON 2013 - 2013 IEEE Region 10 Conference (31194). IEEE, 2013:1-4.
- 230 [7] Xu Z. Dopant activation anneal to achieve less dopant diffusion (better USJ profile) and higher activation percentage: US, US7968441[P]. 2011.
- [8] Chen D H, Dewitt D P, Tsai B K, et al. Effects of Wafer Emissivity on Rapid Thermal Processing Temperature Measurement[J]. 2002, 684(1):59-67
- [9] Ravindra N M, Abedrabbo S, Chen W, et al. Temperature-dependent emissivity of silicon-related materials and

structures[J]. IEEE Transactions on Semiconductor Manufacturing, 1998, 11(1):30-39

[10] 王军喜, 刘喆, 魏同波, 等. 第 3 代半导体材料在光电器件方面的发展和应用[J]. 新材料产业, 2014(3):18-20

5 [11] Belikov S, Kamali J. Temperature Estimation and Precision Control of RTP Systems by Multi-Zone Lamp Interference and Wafer Emissivity Compensation I: Model Identification[J]. Mrs Online Proceeding Library, 2011, 470